공개특허 세2002-66381호(2002.08.16) 1무.

목 2002-0066381

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁷ G11C 7/10 (11) 공개번호 특2002-0066381 (43) 공개일자 2002년09월16일

(21) 출원번호 (22) 출원일자	10-2002-0005834 2002년 02월06일
(30) 우선권주장	60/267,908 2001년02월09일 미국(以)
(71) 출원인	10/043,047 2002년01ੇੇੇ 99일 미국(US) 삼성전자 주식회사
(72) 발명자	경기 수원시 팝답구 매탄3동 416 유창식
	서울특별시성동구금호등1가1500년지삼성마파트303등803호
	소병세
	경기도성남시분당구아탑동330코오롱아파트130동701호 -
	경계현
(74) 대리인	경기도용인시구성면보정라(16)진산마옵삼성5차아파트5(2등(30)호 이영필, 정상빈
4水槽子:9)最	

(54) 스터브 버스 구조를 갖는 메모리 시스템

足母

스턴브 배스 구조(stub-bus configuration)를 가지며 데이터 신호들과 동일한 패쓰(path)를 통해 포리러 실(free-running clock) 클릭을 전송(transmit)하는 메모리 시스템이 개시된다. 상기 메모리 시스템에서는 기업동작 및 독충동작을 위해 단당 클릭 명역(sinsle clock domain)이 이용된다. 기업 및 독충동작을 을 위해서 기입 또는 독충음력 신호가 데이터 신호흡과 동일한 전송 패쓰를 통해 라우트(route)된다. 따라서 데이터 유호 윈도우(window of data validity)를 최대화함으로써 시스템 전송을(system transfer rates)에 증가된다. 이러한 방식에서는 스트로브(strobe) 신호혈 위한 프리엠탈 구간(preamble interval)에 대한 필요성이 제거되기 때문에 데이터 배스 활용도(utilization)가 증가되고 이에 따라 메모리 모듈 커넥터를상의 핀수(pin count)가 감소된다.

445

53

PAK

도면의 관단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 총분히 이해하기 위하여 각 도면의 간단한 설명이 제공 된다.

도 1은 양방향 스트로브 신호(DQS)와 시스템 클럭신호(CK)를 사용하는 중래의 미중 데미터율 싱크로너스디범의 불목도이다.

도 2는 포위드 클릭 CFM(Cik-From-Master)과 리틴 클릭 CTM(Cik-To-Master)을 사용하는 증래의 램버스 디램의 블록도이다.

도 3은 C/A 버퍼가 기입중력 신호(WCLK)에 기초하여 독출중력 신호(RCLK)를 발생하는 본 발명의 제1실시에에 따른 메모리 시스템의 털록도이다.

도 4는 메모리 모듈들이 독출털력 신호(RCLK)로서 기입률력 신호(RCLK)를 리턴시키는 리턴 패쓰(Return Path)를 포함하는 본 발명의 제2심시에의 블록도미다.

도 5는 메모리 모퉁퉁이 WOLK 산호에 동기하여 ROLK 산호를 발생하는 위상동기 투표(PLL)을 포함하는 본 발명의 제3심시예의 불록도이다.

도 6은 매모라 모듈품이 수신된 DFLAG 신호에 동기하여 RFLAG 신호를 더 발생하는 본 발명의 제4심시예의 본록도이다.

도 7은 본 발명에 따른 더미 핀들을 포함하는 명령/머드레스(C/A) 버퍼를 나타낸다.

도 8은 본 법명에 따른 더미 커페시터율을 포함하는 명령/어드레스(C/A) 버퍼를 나타낸다.

도 9는 RCLK 신호가 멀리서(remotely) 발생되어 WCLK 신호의 방향과 반대방향으로 시스템 버스를 따라 전 파(propagate)되는 본 발명에 따른 메모리 시스템의 블록도이다.

도 18은 스터브 구조로 인하여 도 9의 실시예에서 독충동작 동안 ROLK와 독충 데이터(CQ) 사이에 발생되는 위상지연출 나타낸다.

발명의 상제한 설명

整图의 母母

监督이 속하는 기술분이 및 그 분야의 증립기술

본 발명은 메모리 시스템에 관한 것으로, 특히 스터브 버스 구조를 갖는 메모리 시스템에 관한 것이다.

메모리 시스템의 데이터 전송용(data transfer rate)이 시스템 플릭용(system clock rate)에 직접 중속되는 성크로너스 디캡(SDRAMs)의 출현 이래, 데이터 전송등을 더 증가시키기 위해 많은 발전이 이루워져 왔다. 예컨대 이중 데이터용(double data rate, DDR) 성크로너스 디캡(SDRAMs)은 시스템 플릭의 상송에지와 하건에지에서 데이터 전송/수신용 일으킴으로써 데이터 전송등을 더 증가시킨다. 데이터 전송들을 증가시키면서 또한 메모리 콘트롤러로와 디랩 모듈로부터 데이터를 수신하는 데 있어 충분한 타미밍 여운 (budget)을 합당하기 위해, 데이터 패쓰와 동일한 패쓰를 통해 동기 플릭(synchromous clock)이 라무트 (route)되도록 하는 소오스 성크로너스 클릭컵(source synchromous clocking)의 개념이 도입되었다. 이런한 개념이 도 1 및 도 2에서 설명된다.

도 1은 DDR 싱크로너스 디랩에서 시스템 클릭신호(CK)와 양방향 스트로브 신호(DQS)를 사용하는 소오스 싱크로너스 클릭킹을 나타낸다. DQS 신호들은 메모리 콘트용러(20) 또는 디탭 장치를(22)에 의해 방생되고 디탭 모듈을(22)에 데이터를 기입하거나 디탭 모듈을(22)로부터 데이터를 독출하기 위한 타이밍 기준 신호들로서 사용된다. 데이터는 타이밍 기준으로서 DQS 신호물을 사용하여 데이터 버스(DQ)를 경유하여 전달(transfer)된다. 메모리 콘트롤러(20) 또는 디랩 모듈을(22)은 각각 시스템 클릭(CK) 대신메 데이터 버스와 같은 패쓰를 통해 전승된 DQS 신호물을 기준으로 하여 데이터를 샘플한다. 시스템 클릭(CK)은 디 랩(22)에서 명령/어드레스 신호물(Com/Add)을 샘플링하기 위해 사용된다. DQS 신호출에 의해 샘플링된 DQ 신호물은 디법(22)과 콘트롤러(20)에서 내부적으로 시스템 클릭 영역(domain)으로 전환된다.

도 2는 대표적인 램버스(Rambus) DRM 구조물 나타낸다. 이 구조에서 디램 모듈(26)과 메모리 콘트롤러(24)는 두 개의 클릭, 즉 CFM(Cik-From-Master) 신호와 CTM(Cik-To-Master) 신호를 수신한다. CFM 신호는기입 데이터를 위한 기준클릭으로서 사용되고 CTM 신호는 특출 데이터를 위한 기준클릭으로서 사용된다.각 경우에 데이터와 짤릭 신호플은 동일한 데이터 패쓰를 통해 라우트되고 전달된다.

작 경우에 데이터와 빨리 전호들은 동물한 데이터 페스를 통해 다루드되고 진불된다.
도 1에 도시된 따라 싱크로너스 디램에서는 그 뒤에 오는 독濟 또는 가입명령을 위해 프리엠를 타이밍 구간(preamble timins interval)이 요구된다. 프리엠를 타이밍 구간은 유효 데이터 스트로브 신호의 입력에 판한 정보를 포함하며 프리엠를 타이밍 구간은 따오 신호가 메모리 콘트롤러(20) 또는 디램(22)에 의해 발생률 수 있기 때문에 꼭 필요하다. 따오 신호의 소오스가 바뀌면, 징호(token)를 하나로부터 다른 하나로 남겨주가 위해서 프리엠블 구간(preamble interval)은 초기화되어야 한다. 임반적으로 미 프리엠블 구간 은 유효 데이터가 전송되기 전에 하나의 클릭 싸이ô을 차지한다. 프리엠블 구간 동안에는 데이터의 전송이 하락되지 않기 때문에 시스템 버스의 호흡이 떨어진다. 도 2에 도시된 램버스 디랙에서는 포션(forward) 플릭((여)과 리틴(return) 플릭((대)을 사용할으로 인해 디랩 모듈(25) 내에서 두 개의 클릭 명역(domain)이 교차된다. 그러므로 이러한 구조는 다에 신호와 대에 신호 사이의 위상차를 관리하기 위해 정교한 보상회로가 요구되고 또한 보상회로에 대한 초기화 과정이 필요하기 때문에 때우 복잡하다. 또한 상기 DOR 성크로너스 디랩 및 램버스 디랩 구조에서는 클릭 핀를 수의 증가로 인해 메모리 모듈 커넥터 (Connector)의 핀 수가 증가되고 램버스 디랩의 경우에는 데이터 핀 수가 2대로 증가된다.

智的 01章之及 81는 거술적 37基

따라서 본 발명이 이루고자하는 기술적 과제는 상출한 문제점들을 극복하기 위하며 데이터 신호들과 동일 한 패스을 통해 프리러닝 클럭(Free-running clock)를 건승하는 스터브 버스 구조를 갖는 메모리 시스템 을 제공하는 데 있다.

본 발명이 이루고지하는 다른 기술적 과제는 상기와 같은 메모리 시스템에서 데이터를 전달하는 방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 기습적 과제를 탈성하기 위한 본 발명에 따른 메모리 시스템에서는 독출동작 및 기업동작읍 위해서 단입 클릭 영역이 이용된다. 상기 독출동작 및 기업동작읍 위해서, 독출 또는 기업점역 신호가 데이터 신 호탐과 동일한 전송패쓰를 통해 라우트되며 이에 따라 유효 데이터의 윈도우를 최대화함으로써 시스템 전 송탑이 증가된다. 이러한 방식에서는 스트로브 산호혈 위한 프리엠를 구간(preamble interval)에 대한 펌 요성이 제거되므로 데이터 버스 팝용도(utilization)가 증가되고 이에 따라 메모리 모듈 커넥터탈상의 핀 수(pin count)가 감소된다.

본 밥명의 임십시에는 스터브 구조름 갖는 메모리 시스템 및 이 시스템에서 데이터를 전달하는 방법에 판한 것이다. 본 발명의 일실시에에 따른 메모리 시스템은 스터브 구조로 배열(arranse)되는 제1합력신호 라인, 제어 버스, 어드레스 버스, 및 데이터 버스 상으로 제1급력신호, 제어신호, 어드레스 신호, 및 데 이터 신호흡을 발생하는 콘트롤러를 구비한다. 메모리 모듈은 상기 콘트롤러에 연결되는 메모리장치를 포 할하고 상기 메모리 모듈은 상기 제1을럭신호 및 기입 또는 독출명병을 포함하는 상기 제어선호를 수신한다. 상기 메모리 모듈은 상기 기입명령에 용답하여 상기 제1을럭신호에 동기하여 상기 데이터 신호들을 상기 데이터 배스로부터 상기 메모리조치로 기업하는 기업등작을 개시(initiate)한다. 상기 메모리 모듈은 상기 대학명병에 용답하여 상기 제1를럭신호에 동기하여 상기 데이터 신호들을 상기 메모리장치로부터 상기 데이터 배스로 독출하는 독출등작을 개시하고 또한 상기 제1함럭신호에 용답하여 제2플럭신호을 발생하며, 상기 제2플럭신호는 상기 편설적신호을 발생하며, 상기 제2플럭신호는 상기 편설적신호을 발생하며, 상기 제2플럭신호는 상기 편설적신호을 발생하며, 상기 제2플럭신호는 상기 콘트롤러에 제공되고 상기 콘트롤러는 상기 독출등작 동안 상기 제2플럭 신호에 응답하여 상기 데이터 배스상의 상기 데이터 신호들을 수신한다.

바람직한 실시예에서는 상기 제1클릭신호는 기업물역을 포함하고 상기 제2클릭신호는 독출물력을 포함한다. 바람직하기에는 상기 메모리 시스템은 다수개의 메모리 모듈을을 포함하고 상기 다수개의 메모리 모듈을 포함하고 상기 다수개의 메모리 모듈을 포함하고 상기 다수개의 메모리 모듈을 각각은 독급적이고 서로 위상차가 있는 제2플릭선호물을 발생한다. 상기 다수개의 제2플릭신호물의 위상물은 상기 각 메모리 모듈과 상기 콘트롤러 사이의 전화지연의 차이로 인하여 서로 다르다. 상기 메모리 모듈로부터 상기 콘트롤러까지 상기 제2플릭신호의 전화지면은 상기 데이터 버스의 전화지연과 거의 (Substantially) 동일하다.

상기 메모리 모듈은, 상기 제1클럭신호와 상기 제대신호를 수신하고 상기 제1클럭신호에 응답하며 상기 제2클럭신호를 발생하는 제어 버퍼를 더 포함할 수 있다. 위상동기 루프 또는 지연동기 무프가, 상기 제1 클럭신호에 응답하며 상기 제2클럭신호를 발생하기 위해 상기 제에 버퍼 내에 또는 상기 제이 버퍼와 무 콘하게 제공될 수 있다. 위상동기 루프 또는 지연동기 루프 대신에 리턴 패쓰가 상기 제1클럭신호에 응답 하며 상기 제2클럭신호를 발생하기 위해 상기 제1클럭신호를 수신하는 제1클럭신호 라인에 직접 연결될 수 있다.

상기 메모리 모듈의 메모리장치에 의해 상기 데이터 버스상의 용량성 부하룹 보상하기 위해 선택되는 커 패시턴스를 갖는 커패시터가 포험할 수 있으며, 상기 커패시터는 상기 제1률력신호 라인과 상기 리턴 패 쓰의 접합점에 연결된다.

제1프래그 신호가 상기 콘트롤러에 의해 방생렬 수 있으며, 상기 메모리 모듈은 상기 제1프래그 신호에 용답하여 기입동작 또는 독출동작의 개시시기를 제어한다. 독출동작이 명령되면 상기 메모리 모듈은 상기 제1프래그 신호에 용답하여 제2프래그 신호를 발생하고, 상기 제2프래그 신호는 상기 콘트롤러에 제공되 며 상기 콘트롤러는 독출동작 동안에 상기 제2플릭신호와 상기 제2프래그 신호에 응답하며 상기 데이터 버스상의 상기 데이터 신호흡흡 수신한다.

상기 메모리 서스템은 바람작하게는 각각의 제1 및 제2프라그 신호들을 발생하는 제1 및 제2메모리 모듈들을 구비하고 또한 상기 제1 및 제2메모리 모듈들과 상기 콘트롤러를 연결하는 마더보드를 더 구비한다. 상기 마더보드는 상기 데이터 신호들을 전달하기 위한 데이터 버스, 상기 제어신호를 전달하기 위한 제어 버스, 상기 제다보드는 상기 데이터 신호들을 전달하기 위한 메디터 버스, 상기 제1프래그 신호를 전달하기 위한 제1프래그 신호 라인, 및 상기 제1 및 제2리턴 프래그 신호급을 전달하기 위한 제1 및 제2리턴 프래그 신호 라인들은 상기 제1프래그 신호 라인들은 상기 제1프라그 신호 라인들은 상기 제1모급과 삼호 라인들은 상기 제1모급과 상기 제2모를 사이의 상기 제1모급과 상기 제2모를 사이의 상기 메다보드 상에서 교차될 수 있다. 상기 제1리턴 프래그 신호 라인들은 상기 제1모급과 상기 제2모를 사이의 상기 메다보드 상기 제2모를 포함하고 신호 라인들은 상기 제1모급 대로리 산호 라인들은 상기 제1모급 대로리 사항 라인들은 상기 제1모급 대로리 모듈상의 대대부하는 성기 대대보리 모듈상의 대대부하는 성기 대대보리 모듈상의 대대부하는 성기 대대보리 유럽성 부하를 매치시키기 위해 선택된다.

상기 제어 버퍼는 상기 메모리 모듈의 제1면에 탑재별 수 있고, 상기 메모리 모듈의 제1면 및 제2면에 탑재되는 메모리장치률의 제2신호라인에 의해 접하는(experienced) 부하와의 부하 매형을 제공하기 위해 더미부하가 상기 제어버퍼의 제1신호라인에 연결된다. 상기 더미부하는 부하 커패시터 또는 더미 끈큼 포함할 수 있다. 상기 제1선호라인은 상기 제1급력신호 또는 상기 제2급력신호를 포함할 수 있고, 상기 제2신호라인은 상기 제1급력신호를 포함할 수 있다.

특2002-0066381

삼한다.

본 발명과 본 발명의 등작 상의 잇점 및 본 발명의 실시에 의하며 당성되는 목적을 총분히 이해하기 위해 서는 본 발명의 바람작한 실시예품을 예시하는 청부 도면 및 청부 도면에 기재된 내용을 참조하여야만 한

이하, 첨부한 도면을 참조하며 본 발명의 바람직한 실시예름을 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 3은 두 개의 메모리 모습물을 갖는 본 법명의 제1십시에에 따른 메모리 시스템의 블록토이다.

도 3은 두 개의 배보리 보音들을 갖는 본 합성의 제(참시에에 따른 메보리 시스템의 등록보이다.

본 발명의 제(참시에에 따른 메모리 시스템은 콘트홈러(40), 제(1)및 제2메모리 모듈을(424,428), 메모리 모듈을(424,428)과 콘트롤러(40)를 연결시키는 시스템 버스(50), 제(소템 버스(50)를 중단시키는 중단 저한들(48)중 구비한다. 메모리 모듈을(424,428)은 스터브 배열로 구성된다. 스터브 배열 구조는 포미트 투포인트(point-to-point) 또는 직렵(serial) 구조와 대조적으로 시스템 버스(50)의 스터브 또는 가지 확장 (branch extention)처럼 신호들이 시스템 버스(50)로부터 메모리 모듈을(424,428)로 또는 메모리 모듈을(424,428)로 보는 메모리 모듈을(424,428)로 보는 메모리 모듈을(424,428)로 보는 메모리 모듈을(424,428)로 보는 메모리 모듈을에 도달하는 습력신호 라인들, 데이터신호 라인들, 영향/어드레스 신호 라인들은 모두 시스템 버스의 스터브를이다. 각 메모리 모듈(424,428)은 복수개의 메모리장치를(52), 예컨대 디램률(0R세)-마세에) 및 명량/어드레스(C/A) 버퍼(464,468)을 포함한다. 메모리장치들(52)은 도 3해 도시된 바와 같이 C/A 버퍼(464,468)의 좌우로 모듈 문체(Body)를 따라 확장 배열될 수 있다. 그러나 도 3에서는 모듈의 좌욕 접반단이 도시되었다. C/A 버퍼(464,468)는 기입률액 신호(따CK)에 동기하여 명형 및/또는 머드레스(C/A) 신호들을 수신한다. 수신된 C/A 신호들은 다시 가입률액 신호(WCLK)에 동기하여 C/A 신호라인(444,448)을 경유하여 디템률(52)에 차례로 제공된다. 각 메모리 모듈(424,428) 상에서 C/A 버퍼(464,468)의 사용은 시스템 마던보드(Motherboard) 상의 명령/머드레스 버스(C/A)의 부하를 경감시킨다.

시스템 버스(50)는 메모리 모듈을(42A,42B) 상의 메모리장치율(52,대AMI-URAMI)에 대용하는 다수개의 데 이터버스 신호홀(001-00n)을 포함한다. 데이터버스 신호홀(101-00n) 각각은 다수개의 데이터 신호 라인물, 예컨대 4개, 8개, 또는 16개의 라인물로 구성된다. 기입물력 신호(101년)는, 데이터 버스(100) 신호를 및 명령/머드레스(C/A) 신호불이 대용되는 WCLK 신호와 통시에 메모리 모듈을(42A,42B)에 도착하는 것을 보장하기 위해, 메모리 콘트블러(40)에서 버퍼링되고 분배되며 C/A 신호와 마찬가지로 대용되는 데 이터 버스 신호령(1001-00n)과 함께 라무트된다.

이러한 방식으로, 메모리 콘트론러(40)로부터 메모리장치(52)에 데이터를 기입하기 위한 기입등작의 경우에는, 메모리 콘트론러(40)가 기입들적 산호(40,K)에 동기하여 기입데이터(00)를 출력하고 메모리 모듈 (42A,42B)상의 메모리장치들(52)로 기입데이터(00)를 전송한다. 데이터 버스(00)와 기입물력 라인(40,K)와 의 등입한 스터브 구조를 갖기 때문에, 데이터 버스(00)상의 기입 데이터와 기업물력 라인(40,K)상의 기입물력 산호는 같은 전파지면 시간을 갖고 메모리장치(52)에 입력된다. 미러한 방식으로 메모리장치(52)가 기입물력 산호(40,K)을 사용하여 기입 데이터(00)을 삼품량한다고 가정하면, 최대 유효데이터 원도우기 의 업데지인 가 얼머진다.

반면에, 메모리 모듈을(42A,42B)로부터 메모리 콘트롭러(40)로 데이터를 전달하는 독충동작에서는, 독충 클릭(RCLK) 신호가 C/A 버퍼(46A,46B)로부터 홈럭되어 메모리장치(52)로부터 독충된 데이터와 함께 메모 리 콘트콜러(40)로 전답된다. 메모리 모듈(42A) 내의 메모리장치(52)가 顺다 신호에 동기하며 독충 데이 터(따)를 출력할 때, C/A 버퍼(46)는 동시에 독충클릭 신호(RCLK)를 출력한다. 독충클릭 신호(RCLK)을 수 신된 기압클릭 신호(WCLK)에 동기시킴으로써, 독충 데미터(CD)와 독충롭틱 신호(RCLK)는 시스템 버스(5 이를 따라 그리고 메모리 모듈(42)과 시스템 버스(50) 사이의 스터브 패쓰음 (따라 동일한 스터브 버스 패 쓰 길이를 갖기 때문에 같은 전파자연 시간을 갖고 메모리 콘트롤러(40)에 도착한다. 그러므로 도 3의 구 조는 메모리장치듈(52)로부터 독충된 데이터를 메모리 콘트롤러(40)로 전달하는 데 있어서 발생할 수도 있는 위상차 문제를 완화시킨다.

있는 위상차 문제를 완화시킨다.
독출률력 신호(RCLK)가 수신된 기입률력 신호(WCLK)에 통기되기 보다는 대신에 독출률력 신호(RCLK)가 메모리 콘트롭러(40)에서 골급(8007cs)되고 스터브 버스 구조로 메모리 모텀들(42)에 분해된다고 가장하면, 이러한 경우에는 독출율력 신호(RCLK)의 전송 방향은 독출 데이터(DQ)의 건송 방향과 반대 방향이 되며 이에 따라 독출 데이터(DQ)와 완전히 다른 위상 관계를 갖게 된다. 또한 독출율력 신호(RCLK)가 스터브 버스 구조로 모든 메모리 모듈률(42)과 메모리 콘트롤러(40)로 다시 분배되고 그러나 독출름력 신호(RCLK)가 가장 바깥쪽의 메모리 모듈률(42)과 메모리 콘트롤러(40)로 다시 분배되고 그러나 독출름력 신호(RCLK)가 가장 바깥쪽의 메모리 모듈률(42)과 메모리 콘트롤러(40)로 다시 분배되고 그러나 독출름력 신호(RCLK)가 가장 바깥쪽의 메모리 모듈들(42)과 메모리 콘트롤러(50) 상의 위치에서 공급된다고 가장하는 경우에는, 독출 데이터(DQ)와 독출률력 신호(RCLK)가 동일한 방향으로 진파될 것이기 때문에 타이밍 관계가 개선될 것이다. 이러한 내용에 대해서는 도 9와 도 10을 참조하여 후술된다. 그러나 콘트롤러(40)에서 수신된 독출 데이터(DQ)와 독출률력 신호(RCLK)는 스터브 지연의 두배 정도의 타이밍 차이를 갖는다. 그 이유는, 메모리장기의 데이터라가 데이터 버스(DQ)상으로 건송되기 위해서는 스터브의 제1패쓰를 경유하여메모리장치(S2)에 의해 수신된 독출률력 신호(RCLK)에 돌기되어, 독출 데이터(DQ)가 스터브의 제2패쓰를 통해 시스템 버스(50)와 메모리 콘트롤러(40)로 견송되기 때문이다. 그러므로 메모리 콘트롤러(40)에서 수신된 독출 데이터(DQ)는 독출 데이터(DQ)를 공급하는 모듈의 스터브 패쓰의 진파자연의 두배에 해당하는 시간 만큼 RCLK 신호 보다 자연된다. 그러므로 독출 데이터(DQ)가 콘트롤러에 의해 샘플되기 진에 더 긴 셋업시간이 필요하다. 이는 스터브 버스 구조의 본질적인 문제이다.

위와 같은 문제는 본 발명에 따라 구성되는 메모리 시스템에 의해 완화된다. 이러한 구조에서 독裔 데이터(ID)는 수신된 기업률력 신호(WCLK)에 동기하여 매모리 모듈율(42A,42B)의 어느 하나에 위치하는 메모리장치(52)로부터 쫄덕된다. 예컨대, 데이터가 제1메모리 모듈(42A)상의 메모리장치(52)로부터 독혈된다 예컨대, 데이터가 제1메모리 모듈(42A)상의 메모리장치(52)로부터 독혈된다고 가정하면, 제1독출급력 신호(RCLK,M1)는 수신된 기업률력 신호(WCLK)에 증기하여 C/A 버퍼(45A)로부터 출력되고 독출 데이터(DQ)의 파스링이와 동일한 파스릴이를 갖는 파스를 경하여 메모리 콘트론리(40)에 문접되고 독출 데이터(DQ)는 동일한 스터브 버스 패쓰를 IC라 전파되기 때문에, 독출급력 신호(RCLK,M1)와 독출 데이터(DQ)는 강은 지연시간을 가지고 메모리 콘트론리(40)에 도착한다. (UC라서 독출 데이터(DQ)는 중래의 스트로브 방식에 의해 요구됐던 위상보상이나 프리엠텀 구간

(preamble interval)에 대한 필요성없이 즉시 독졸물력 신호(RCLK_MI)를 사용하여 샘툽필 수 있다.

대이터가 제2메모리 모듈(428) 상의 메모리장치(52)로부터 독濟되는 경우에도 위에서 설명한 동일한 시나리오가 적용된다. 독濟물력 신호(RCLK_KC)는 기입률력 신호(RCLK)에 응답하여 합생되고 기입률력 신호(RCLK)에 등기된다. 독濟물력 신호(RCLK_KC)는 독출 데미터(CD)와 함께 시스템 버스(50)를 경유하여 전승되고 제1특출물력 신호(RCLK, KL)와 무판한 제2독출품력 신호(RCLK_KC)로서 메모리 콘트콜러(40)에서 수신된다. 독濟물력 신호(RCLK, KL)의 위상률이 각각의 모듈(42A, 42B)과 메모리 콘트콜러(40) 사이에서 신호패쓰 길이의 차이로 인하여 서로 다르기 때문에, 별도의 독출품력 신호들(RCLK, M, RCLK, MZ)이 필요하다. 메모리 모듈등(42A, 42B)이 동일한 관 구성을 갖도록 하고 모듈들을 양산할 수 있도록 하기 위해서, 위치(53)에 도시된 비와 같이 독충품력 신호돌(RCLK_M, RCLK_MZ)이 시스템 버스(50)를 관합하는 미더보드상에서 교차된다.

성능을 더 항상시키기 위해서는 DQ 버스와 RCLK 버스 상의 용량성 부하(Capacitive loading)가 모든 메모리 모듈을(42A,42B)에 대해 동일하여야 한다. 이렇 급성하기 위해서 RCLK에 신호는 제2메모리 모듈(42B)의 더미부하 커피시터 또는 더미 핀(54B)에 연결할 수 있다. 이와 마찬가지로 RCLK에 신호는 제1메모리 모듈(42A)의 더미부하 커피시터 또는 더미 핀(54A)에 연결할 수 있다. 두 개 이상의 메모리 모듈들을 포함하는 구성에서는 다른 모듈들의 독충철력 신호(RCLK에)는 자신의 더미부하 커피시터를 또는 더미 필입 연결된다. 커피시터가 사용된다면 커피시턴스 값은 RCLK 편의 입력 커피시턴스와 같은 값을 갖도록 선택되어야 한다. 더미 핀이 사용된다면 C/A 버퍼는 더미 핀의 입력 커피시턴스가 RCLK 편의 입력 커피시턴스가 RCLK 편의 입력 커피시턴스와 당은 값을 갖도록

도 2의 예에서 C/A 버퍼(42A,42B)는 바람직하기에는 수산된 기압급력 신호(WCLK)에 통기되는 독합해석 신호(RCLK)를 합성하는 역합을 하는 위상통기 루프(PLL) 또는 지연통기 루프(DLL)를 포함한다. 위상통기 루프(PLL)에서는 전압제어 발전기(Yoltage controlled oscillator)의 위상이 중력급력의 에지가 WCLK의 에지에 정렬될 때까지 조절된다. 지연통기 루프(DLL)에서는 가변지면 라인(Variable delay line)에 WCLK가인가되며 가변지면 라인의 지면시간은 플력클럭의 에지가 WCLK의 에지에 정렬될 때까지 조절된다.

인가되며 가변지면 라인의 지면시간은 출력클릭의 에지가 WCLK의 에지에 정렬될 때까지 조렴된다.

도 4는 본 발명의 제2실시에의 불목도이다. 제2십시에는 메모리 모듈(42A,42B) 상의 C/A 버퍼(46A,46B)가 WCLK 신호에 통기하며 RCLK 신호를 발생할 수 없는 경우, 예컨대 C/A 버퍼가 PLL 또는 DL를 포함하지 않는 경우를 LIEL낸다. 이 십시에에서는 WCLK 신호가 각 모듈(42A,42B) 상의 더미 커페시터(60A,60B)를 구 동한다. 더미 커페시터(60A,60B)는 데미터가 독충되는 메모리장치(52)의 커페시턴스에 상용하는 정도의 커페시턴스 값을 갖는다. 메모리 몬트롭러로부터 디템까지의 진승시간(Filght time)이 DQ와 WCLK에 대해 동일해야 하기 때문에 WCLK 신호가 접하는 커페시턴스와 따 신호가 접하는 커페시턴스는 동일하여야 한다. 해당 모듈에서 각각의 독충클릭 신호(RCLK)는 커페시턴스와 따 신호가 접하는 커페시턴스는 등일하여야 한다. 해당 모듈에서 각각의 독충클릭 신호(RCLK)는 그 모듈(42A,42B)에서 수신된 기입클릭 신호(WCLK)를 리턴시킵으로써 발생되고 그러므로 독충플릭 신호(RCLK)는 기입률틱 신호(RCLK)에 동기된다. 따라서 메모리 몬트몬러(40)가 메모리 모듈(42)로부터의 독충동작을 개시(Initiate)하면, 독충 데이터(메)는 해당 모듈의 독충클릭(RCLK)에 통가하여 메모리 몬트콜러(40)에 의해 수신된다. 위에서 설명된 바와 같이 각 모듈(42A,42B)은 다른 모듈들의 신호들과 무편하고 서로 관련된(associated) 독출클릭 신호(RCLK)에 RCLK 시간)를 갖는 것이 비원적하다. 더하며 독충플릭 신호 패쓰를(RCLK,M,RCLK,M2)은 모든 모듈들에 대해 유사한 된 구성을 보장하기 위해서 시스템 버스(50)를 관합하는 마더보드 상의 위치(53)에서 교차된다. 상숙한 된 구성을 보장하기 있는 메모리 모듈들의 연결된다.

도 5는 C/A 버퍼(46)를 포함하지 않는 메모리 모듈톱(42A,42B)에 적용할 수 있는 본 발명의 제3심시에의 탈록도이다. 이 구조에서는 C/A 신호 버스는 시스템 버스(50)를 공유하여 메모리 모듈톱(42A,42B)에 분배되고 메모리 모듈톱(42A,42B)에 본배되고 메모리 모듈隆(42A,42B) 상의 신호 패쓰출(44A,44B)를 경우하여 메모리오치를(52)로 분배된다. 위상동기 무프(RL)(62A,62B) 또는 지연동기 루프(LL)는 기입클릭(WCLK)를 수신하여 모듈(42A,42B)에 대한 각각의 목숨질틱 신호(RCLK)를 발생하기 위해 각각의 모듈(42A,42B) 상에 제공된다. 위상동기 무프와 지연동기 무프는 협력신호의 천이에지들에 입력신호의 천이에지들에 정립되도록 동작하는 회로클로서 당입 기에서 잘 알려진 회로클이다. 도 5에 도시된 위상동기 루프의 동작은 도 3의 C/A 버퍼(46)에 포함된 위상동기 무프의 동작과 동일하다. 상숨한 바와 같이 너미부하 커피시터를 또는 더미 핀글(54A,54B)은 데이터 버스(00)의 부하와의 등화를 제공하기 위해 자신의 모듈과 관련되지 않는 독출물력 신호를(RCLK)을 위해 제공됨 수 있다.

증래의 진룡적인 메모리 시스템에서는 데이터 버스(따)가 명령/머드레스(I/A) 버스보다 두배 빠른 율로 등작하는 것이 입반적이다. 이러한 이유 때문에 명령들은 모듈상의 메모리장치를이 목출동작 또는 기업등 자율 준비하는 데 용분한 시간을 갖도록 데이터에 앞서서 메모리 모듈들에 제공된다. 명령신호와 데이터 신호 간의 레이턴시(Latency)는 일반적으로 말할머드레스 스트로브(CAS) 레이턴시라고 불리운다. 도 6월 참조하면, 메모리 몬트롭러(40)에 의해 발생되는 DFLA8 신호는 기업 및 독출등작을 위한 CAS 레이턴시 정보를 모듈들(42A,42B)에 제공한다. 도 6에 도시된 바와 같이, C/A 버퍼(46A,46B)는 메모리 콘트홈러(40)로부터 DFLA8 신호를 수신하고 버퍼된 C/A 신호(44A,44B)를 경우하며 목률(42A,42B) 상의 각 메모리장치(52)로 마A8 신호를 축력한다. DFLA8 신호에서의 천이를 감지하면 즉시 각 메모리장치(52)는 소청의 시간간격에 이어 데이터 버스(따) 상에 목출 또는 기입 데이터를 출력한다. DFLA8 신호는 동일한 스터브 버스 구조로 구성되므로 DFLA8 신호는 기업탈락 신호(WCLK) 및 데이터 버스 신호를(00)에 등기하여 수신된다. 미리란 이유 때문에 DFLA8 신호는 메모리 콘트롭러(40)와 메모리 모듈들(42A,42B) 사이에서의 전파방함으로 WCLK 신호 및 이 신호등과 통일한 전파지연을 갖게 될 것이다.

C/A 버퍼(46)는, 독출물력 신호(RCLK)가 기입급력 신호(NCLK)에 동기하여 발생되는 것과 동일한 방식으로 (FLA6 신호에 동기하여 리턴패쓰(return path)를 위한 프래그 신호(RFLA8)를 선택적으로 발생할 수 있다. 에컨대 지연동기 투포 또는 위상동기 루포가, 수신된 DFLA6 신호읍 기초로 하여 리턴 프래그 신호읍 (RFLA8,MI,RFLA6,M2)을 발생하기 위해서 C/A 버퍼(46) 내에 포함될 수 있다. RFLA6 신호는 메모리장치를 (52)로부터 출력되는 독출 데이터(00)가 메모리 콘트롭러(40)에 도착함 시기에 관련된 타이밍 정보를 수 반한다. 메모리 콘트롭러(40)는 메모리 모음로부터 전달된 독출을록 신호(RCLK_MI,RCLK_M2)에 동기하여

모흡률(42A,42B) 상의 메모리장치를(52)로부터 전달된 유효 데이터를 수신함 수 있다. 반면에, 메모리 콘트롤라에서 WCLK 신호와 RCLK 신호 간의 시간차이가 하나의 협력 싸이출보다 더 크다면 메모리 콘트롤라는 메모리장치들(52)로부터 무효(Invalid) 데이터를 수신함 수 있다. RFLAG 신호는 항상 메모리 콘트롤라 (40)에 의해 유효 데이터가 수신되는 것을 보장한다. 그래서 메모리 콘트롤라(40)는 모흡(42A,42B)로부터 전답된 독충 프래그 신호(RFLAG,M, RRLAG,B2)와 독효등력 신호(ROLK,M,ROLK,M2)에 응답하며 데이터를 수신한다. 이와 동일한 방식으로 모듈(42A,42B) 상의 메모리장치들(52)은 콘트롤러(42A,42B)로부터 전달된 FLAG 신호와 RCLK 신호에 용답하며 데이터를 수신한다.

다LAG 신호와 WLK 신호에 복급하며 데미터를 수신한다.

마라서 메모리 콘트롤러(40)는 C/A 버파(46A)에 의해 움력되는 RL6 신호를 경유하며 독출 데미터(00)의 도착시간을 인식한다. RFLAG 신호는 IQ 신호와 등입한 버스 스터브 구조를 갖기 때문에 RFLAG 신호는 독출 데미터(00) 신호와 동입한 전파 지면시간을 갖는다. 메모리 콘트롤러(40)가 콘트롤러(40)에서 발생된 마LAG 신호에 메모리 모듈돔(42)에 의해 전송된 독출 데미터(00) 사이의 위상차이를 보송할 수 있다면, 별도의 RFLAG 신호에 대한 필요성이 있다. RFLAG 신호에 대한 필요성이 있다면, RFLAG 신호 RCLK 신호 글과 동입한 방식으로 발생되고 라무트(route)됨 수 있다. RFLAG 신호와 FLAG 신호가 데미터 버스(00) 신호들과 함께 라우트된다면 다수개의 RFLAG 신호를과 한대 신호을 대한다면 (각 메모리장치 (52)에 대해 적어도 하나), RFLAG 신호와 FLAG 신호는 데미터 버스(00) 신호들 대신에 제어/어드래스(C/A) 버스 신호들과 함께 라우트된다면 다수개의 RFLAG 신호와 GFLAG 신호는 데미터 버스(00) 신호들 대신에 제어/어드래스(C/A) 버스 신호들과 함께 라우트되는 것이 비율적하다. 그러나 RFLAG 신호와 DFLAG 신호가 C/A 버스 상으로 라우트된다면 각각 하나의 RFLAG 신호와 DFLAG 신호만이 필요하다. 모듈을(42A,42B)로부터 메모리 콘트롤러(40)까지의 각 패쓰 길이들이 서로 다르기 때문에, 메모리 모듈(42A,42B)의 각 C/A 버퍼(46)는 독립적인 RFLAG 신호(RFLAG,M), RFLAG 원호 대로기 때문에, 메모리 모듈(42A,42B)의 각 C/A 버퍼(46)는 독립적인 RFLAG 신호(RFLAG,M), RFLAG 원)를 발생하여 메모리 콘트롤러(40)로 전송하는 것이 바람직하다. 성습한 바와 같이 부하등화 (Loading equalization)는 더미 커피시터를 또는 더미 핀율(68A,68B)을 포함시 집으로써 담성 다른 모듈들에 대해 유사한 핀 구성플이 얼어짐 수 있다.

자시킴으로써 서로 다른 모듈들에 대해 유사한 편 구성률이 임이집 수 있다.

메모리 모듈들은 일반적으로 성글 사이디드(Single-sied) 모혈률 또는 더를 사이디드(Double-sided) 모듈 플로서 분류형 수 있다. 성글 사이디드 모듈들은 모듈의 한면에만 메모리장치물을 포함하는 것이고 더불 사이디드 모듈들은 모듈의 한면에만 메모리장치물을 포함하는 것이고 더불 사이디드 모듈을은 모듈의 형태에 따라 가변된다. 예컨대 뛰고 신호의 부하는 성글 시이디드 모듈에 비하여 더불 사이디드 모듈에서 더 크다. 그 이유는 더불 사이디드 모듈 상에서는 顺다 라인이 두개의 때 지 전을 수 있다. 단물 등을 사이지 그 미유는 더불 사이디드 모듈 상에서는 顺다 라인이 두개의 때 지 필요 라이스 모듈에서 다른 가의 바이스 모듈 수 있다. 다조적으로 C/A 바 및 역 사이디드 모듈 상에서는 顺다 라조적으로 C/A 바 모듈 사이디드 모듈 상에서는 顺다 라오프로 보면에 상글 사이디드 모듈 상에서는 배 지 보안이 한 개의 백대 전으로 라우트되고 반면에 상글 사이디드 모듈 상에서는 배 지 보안이 한 개의 배 모든 모든 모듈 산 (RCIK 최대, RCIK X인)의 부하라 C/A 바 모델부터 플럽되는 독율률력 신호(RCIK 최대, RCIK X인)의 부하는 성글 사이디드 모듈에 다르는 기입률력(WOLK)의 부하라 C/A 바 모델부터 플립되는 독율률력 신호(RCIK 최대, RCIK X인)의 부하는 성글 사이디드 모듈에서 공히 등일하다. 그 미유는 C/A 바 대가 일반적으로 모델의 한면에만 탑재(Mount)되기 때문이다. 모듈에서 공히 등일하다. 그 미유는 C/A 바 다가 일반적으로 모델의 한면에만 탑재(Mount)되기 때문이다. 모듈에서 공히 등일하다. 그 미유는 C/A 바 다가 일반적으로 모델의 한면에만 탑재(Mount)되기 때문이다. 모듈에서 공히 등일하다. 그 미유는 C/A 바 다가 되면적으로 모델의 한면에 반당 자리를 다음하기 위해 더미 포듈(72A, 72B)이 도 7에 도시된 바와 같이 C/A 바 법생들 수 있다. 더럼 사미디드 모듈에서는 두 번째 셋트의 더미 프랙을(72A, 72B)이 제공되고 따 (XFRIK) RCIK (REIK) 등의 전환가능한 생물으로 모델의 수면에 함께 제공할 수 있다. 더미 커피시터 등(74A, 74B)에 연결된다. 다른 방편으로는 도 8에 도시된 바와 같이 전환가능한 (에너스 보다)되고록 셋트된다. 더를 사이디드 모듈에 보다 한국에 연결되는 이와 따 자리를 모든 바다 가 되게 된다. 한국에 C/A 바피에 연결되는 이후 앞면의 단구를 한국에 연결되는 이와 대 지하는 다른 한편을 당하는 하는 발명이 다가 하나의 입력된 만을 바리보게 된다. 그러므로 모듈의 함면 살에서 다가 되다고를 되고 있는 사이에는 부하는 불일치(Mismatch)가 존재하게 된다. 이 부하는 물리치를 안되는 어디 커피시터(74A, 74B)를 제공한다. 도 9급 참조하면, 본 발명의 다른 실시에가 제공된다. 이 실시에에서는 수신된 기입급력(WCIK)를 기초로 대한 데이 판절(72A) 또는 더미 커피시터(74A, 74B)를 제공한다.

에 대한 데미 판들(72A) 또는 데미 커패시터(74A,74B)를 제공한다.
도 9급 참조하면, 본 발명의 다른 실사예가 제공된다. 이 실시예에서는 수신된 기입급력(WD.K)을 기초로 하여 그리고 기입급력(WD.K)에 증기하여 독출불력(RD.K)을 발생시키는 대신에, 기입급력(WD.K)의 전파함 향과 반대 방향으로 시스템 버스(50)를 가르질러 받배되는 독충물력 신호(RD.K)을 발생시키기 위해 별도 의 독충물력 발생기(76)가 제공된다. 독충률력 리인(RD.K)은 메모리 콘트홈러(40)에서 중단된다. 이 실시예에서는 스터브 버스 구조의 본급적인 문제가 분명해 진다. 도 10을 참조하여, RD.K 신호가 발생기(76)에서 발생되고 데이터가 모듈(42A)의 발재된 메모리장치로부터 통원단고 가장한다. 이러한 시나리오에서 RD.K 신호는 RD.K 라인을 따라 직접 메모리 콘트홈러(40)로 전파된다. 메모리 모듈(42A)은, 정선(80 A)의 패쓰를 따라 RD.K 신호의 전파에 의해 나타나는 지연시간 후 RD.K 라인으로부터 RD.K 신호를 수신한다. 독충된 데이터(메)는 점선(80B)으로 표시된 패쓰를 경유하여 때 버스로 전달된다. 다음에 목출된 데이터(메)는 메모리 콘트홈러(40A)를 향해 계속 전파된다. 미리한 방식으로 RD.K 신호는 독충 데이터(이)에 외상서 메모리 콘트홈러(40A)를 향해 계속 전파된다. 미리한 방식으로 RD.K 신호는 독충 데이터(이)에 외상처에 가존됐하게 되고 이 위상처이는 접선를(80A,80B)로 표시된 스터브 신호 라인들을 따른 전파지면에 의해 나타나게 된다. 이 타임스큐가 작다고 가장하기나 콘트롤러가 타임스큐를 보상할 수 있다고 가장하면 도 9의 구조는 본 방명의 메모리 시스템에 용용될 수 있다.

미상 도면과 명세서에서 최적 실시예름이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분이의 동상의 지식을 가진 자라면 이로부터 다 양한 변형 및 균등한 타 실시에가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보 호 범위는 첨부된 목허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

新罗马 多亚

상숨한 바와 같이 도 3 내지 도 8의 십시예에 (마라 스터브 버스 구조를 갖는 메모리 시스템에서 단일 (single) 프리러닝 클릭이 데이터 신호를과 통일한 패쓰를 통해 제공된다. 싱글블릭 영역이 기입 및 목출

學 2002-0066381

통작에 대해 모두 적용된다. 기입 및 독출통작을 위해 독출 또는 기업을턱 신호가 데이터 신호증과 통일 한 전송패쓰를 통해 라무트되고 따라서 유효데미터의 윈도우룹 최대화함으로써 시스템 전달율이 중가된다. [따라서 스트로브 신호의 프리엠블 구간(premble Interval)에 대한 필요성이 제거되며 따라서 데이터 버스 활용도가 증가되고 메모리 모듈 커넥터를 상의 판 수가 감소된다.

(57) 경구의 범위

원구화 1

스터브 구조로 배엷되는 제1출력신호 라인, 제어 버스, 어드레스 버스, 및 데이터 버스 상으로 제1출력 신호, 제머신호, 머드레스 신호, 및 데이터 신호등읍 방생하는 콘트롤러; 및

상기 콘트용러에 연결되는 메모리장치들을 포함하고 상기 제1클릭신호 및 특출 또는 기입명령을 포함하는 상기 제어신호를 수신하는 메모리 모듈을 구비하며,

상기 메모리 모듈은 상기 기입명령에 용답하여 상기 제1클럭산호에 동기하여 상기 데이터 산호움 상기 데 미터 버스로부터 상기 메모리장치플로 기입하는 기입통작용 개시(initiate)하고,

상기 메모리 모듈은 상기 독졸명령에 용답하여 상기 제1클럭신호에 동기하여 상기 데미터 신호를 상기 메 모리장치들로부터 상기 데이터 버스로 독座하는 독출동작을 개시하고 상기 제1플럭신호에 용답하여 제2를 럭신호를 발생하며, 상기 제2플럭신호는 상기 콘트롤러에 제공되고 상기 콘트롤러는 상기 독출동작 동안 상기 제2플럭신호에 용답하며 상기 데이터 버스상의 상기 데미터 신호물을 수신하는 것을 특징으로 하는 스터브 구조를 갖는 메모리 시스템.

경구함 2

제(항에 있어서, 상기 제() 클릭스호는 기업블릭을 포함하고 상기 제2중력신호는 독충음력을 포함하는 것을 특징으로 하는 메모리 시스템.

청구항 3

제1항에 있어서, 상기 메모리 시스템은 다수개의 메모리 모흡물을 구비하고 상기 다수개의 메모리 모듈들 은 각각 독립적이고 서로 위상차가 있는 제2클릭산호들을 발생하는 것을 특징으로 하는 메모리 시스템.

청구한 4

제3함에 있어서, 상기 다수개의 제2쥴럭신호들의 위상들은 상기 각 메모리 모듈과 상기 콘트롤러 사이의 전파지연의 차이로 인하여 서로 다른 것을 특징으로 하는 메모리 시스템.

원그라 F

제1항에 있어서, 상기 메모라 모듈로부터 상기 콘트롭러까지 상기 제2큡틱신호의 전파지면은 상기 데미터 버스의 전파지연과 거의(Substantially) 동알한 것을 특징으로 하는 메모리 시스템.

원구한 6

제1할에 있어서, 상기 메모리 모듈은, 상기 제1클럭신호와 상기 제어신호을 수신하고 상기 제1클럭신호에 용단하여 상기 제2클럭신호를 발생하는 제어/어드레스 버떠를 더 포함하는 것을 특징으로 하는 메모리 시 스텀.

哲子数 7

제1할에 있어서, 상기 메모리 모듈은, 상기 제1물력신호를 수신하고 상기 제1물력신호에 용답하여 상기 제2클럭신호를 발생하는 위상동기 루프랑 더 포함하는 것을 목장으로 하는 메모리 시스템.

청구항 8

제1항에 있어서, 상기 메모리 모듈은, 상기 제1亩럭신호를 수신하고 상기 제1亩럭신호에 용답하여 상기 제2亩럭신호를 발생하는 지연동기 무프를 더 포함하는 것을 특징으로 하는 메모리 시스템.

선**그**라 9

제1항에 있어서, 상기 메모리 모듈은, 상기 제1물력신호에 응답하며 상기 제2물력신호를 발생하기 위해 상기 제1물력신호품 수신하는 제1물력신호 라인에 연결되는 리턴 패쓰를 포함하는 것을 특징으로 하는 메 모리 시스템

참구한 10

재약할에 있어서, 상기 메모리 모듈은 상기 메모리 모듈의 메모리장치에 의해 상기 데이터 버스상의 용량성 부하면 보상하기 위해 선택되는 커패시턴스를 갖는 커패시턴를 더 포함하고, 상기 커패시터는 상기 제1클릭신호 라인과 상기 리턴 패쓰의 접합점에 연결되는 것을 특징으로 하는 메모리 시스템.

원그라 11

제 항에 있어서, 상기 메모리 시스템은 상기 제2플럭신호로서 각각의 제1 및 제2리턴클릭 신호들을 발생하는 제1 및 제2메모리 모듈률은 구비하고 상기 제1 및 제2메모리 모듈률과 상기 콘트롤러를 연결하는 마더보드를 더 구비하며,

상기 마더보드는 상기 데이터 신호률을 진탈하기 위한 데이터 버스, 상기 제어신호를 진탈하기 위한 제어 버스, 상기 어드레스 신호를 진탈하기 위한 어드레스 버스, 상기 제1물럭신호를 전달하기 위한 제1물럭신

특2002-006638;

호 라인, 및 상기 제1 및 제2리턴플릭 신호증을 전달하기 위한 제1 및 제2리턴플릭 신호 라인출읍 포함하는 것을 특징으로 하는 메모리 시스템.

청구한 12

제11항에 있어서, 상기 제1 및 제2리턴콥터 신호 라인물은 상기 제1모음과 상기 제2모을 사이의 상기 마더보도 상에서 교차되는 것을 특징으로 하는 메모리 시스템.

성구와 13

제11항에 있어서, 상기 제1리턴콤력 신호 라인은 상기 제2메모리 모듈상의 더미부하여 연결되고 상기 제2 리턴콜럭 신호 라인은 상기 제1메모리 모듈상의 더미부하에 연결되는 것을 특징으로 하는 메모리 시스템.

원그하 14

제13할에 있어서, 상기 더미부하는 부하 커페시터 또는 더미 핀을 포함하는 것을 목장으로 하는 메모리 시스템

월구함 15

제13할에 있어서, 상기 더미부하는 상기 데이터 버스의 용량성 부하를 매치시키기 위해 선택되는 것을 목 장으로 하는 메모리 시스템.

청구한 16

제1항에 있어서, 상기 메모리 시스템은 상기 콘트롭러에 약해 발생되는 제1프래그 신호를 더 구비하고, 상기 메모리 모듈은 상기 제1프래그 신호에 율답하여 기업동작 또는 독혈동작의 개시시기를 제어하고 독 출동작이 명령되면 상기 제1프래그 신호에 용답하여 제2프래그 신호를 발생하며,

상기 제2프래그 신호는 상기 콘트롤러에 제공되고 상기 콘트롤러는 독충동작 동안에 상기 제2클릭신호와 상기 제2프래그 신호에 용답하여 상기 데이터 버스상의 상기 데이터 신호등을 수신하는 것을 특징으로 하는 메모리 시스템.

왕구함 17

제16항에 있어서, 상기 메모리 시스템은 각각의 제1 및 제2프래그 신호들을 발생하는 제1 및 제2메모리 모듈들을 구비하고 상기 제1 및 제2메모리 모듈들과 상기 콘트롤러를 연결하는 마더보드를 더 구비하며,

상기 마더보드는 상기 데이터 신호들을 전달하기 위한 데이터 버스, 상기 제어신호를 전달하기 위한 제어 버스, 상기 어드레스 신호를 전달하기 위한 어드레스 버스, 상기 제1프래그 신호를 전달하기 위한 제1프 래그 신호 라인, 및 상기 제1 및 제2리턴 프래그 신호물을 전달하기 위한 제1 및 제2리턴 프래그 신호 라 인물을 포함하고,

상기 제1프러그 신호 라인과 상기 제1 및 제2리턴 프러그 신호 라인물은 상기 제어버스와 상기 어드레스 버스와 함께 라우트되는 것을 특징으로 하는 메모리 시스템.

참구한 18

제17항에 있어서, 상기 제1 및 제2인턴 프래그 신호 라인들은 상기 제1모듈과 상기 제2모듈 사이의 상기 마더보드 상에서 교차되는 것을 특징으로 하는 메모리 시스템

성구한 19

제17항에 있어서, 상기 제1리턴 프러그 신호 라인은 상기 제2대모리 모듈상의 더미부하여 연결되고 상기 제2리턴 프러그 신호 라인은 상기 제1메모리 모듈상의 더미부하여 연결되는 것을 특징으로 하는 메모리 시스템.

왕구항 20

제19할에 있어서, 상기 더미부하는 부하 커피시터 또는 더미 핀을 포함하는 것을 목징으로 하는 메모리 시스템,

청구함 21

제19할에 있어서, 상기 더마부하는 상기 데이터 버스의 용량성 부하를 매치시키기 위해 선택되는 것을 특징으로 하는 메모리 시스템.

청구앙 22

제1항에 있어서, 상기 메모리 시스템은 상기 메모리 모듈의 제1면에 탑재되는 제어버퍼; 및

상기 메모리 모듈악 제1면 및 제2면에 탑재되는 메모리장치룝의 제2신호라인에 의해 접하는(experienced) 부하만의 매청읍 제공하기 위해 상기 제어버퍼의 제1신호라인에 연결하기 위한 더미부하를 더 구비하는 것을 특징으로 하는 메모리 시스템.

청구함 23

제22항에 있어서, 상기 더미부하는 부하 커피시터 또는 더미 곤충 포함하는 것을 특칭으로 하는 메모리 시스템

Ø 014

청구항 24

제22항에 있어서, 상기 제1선호라만은 상기 제1물력신호 또는 상가 제2급력신호급 포함하고, 상기 제2선호라만은 상기 데미터 버스 또는 상기 제1물력신호급 포함하는 것을 특징으로 하는 메모리 시스템.

MARGER JOHNSON

원구항 25

스터브 구조로 배열되는 제1프래그 신호 라인, 제어 버스, 어드래스 버스, 및 데이터 버스 상으로 제1프 래그 신호, 제어신호, 어드레스 신호, 및 데이터 신호물을 발생하는 콘트롤러; 및

상기 콘트롤러에 연결되는 메모리장치율을 포함하고 상기 제1프래그 신호 및 독활 또는 기입명령을 포함하는 상기 제어신호를 수신하는 메모리 모듈을 구비하며,

상기 메모리 모듈은 상기 기압명령에 용답하여 상기 제1프래그 신호에 동기하여 상기 데미터 신호물을 상 기 데미터 버스로부터 상기 메모리장치를로 기입하는 기업동작을 개시하고,

상기 메모리 모듈은 상기 독출명령에 용답하여 상기 제1프래그 신호에 동기하여 상기 데이터 신호플을 상 기 메모리장치플로부터 상기 데이터 버스로 독출하는 독출동작을 개시하고 상기 제1프래그 신호에 용답하 여 제2프래그 신호를 법생하며, 상기 제2프래그 신호는 상기 콘트롭러에 제공되고 상기 콘트롭러는 상기 독출동작 동안 상기 제2프래그 신호에 응답하여 상기 데이터 버스상의 상기 데이터 신호름을 수신하는 것 을 특징으로 하는 스터브 구조를 갖는 메모리 시스템.

성구항 26

제중항에 있어서, 상기 메모리 시스템은 상기 콘트롤러에 의해 발생되는 제1출력신호를 더 구비하고,

상기 메모리 모듈은 상기 제1클럭신호에 응답하여 상기 기입동작 또는 특출동작을 개시하고 독출동작이 명령되면 상기 제1플럭신호에 응답하여 제2룔럭신호를 발생하며,

상기 제2블럭신호는 상기 콘트롭러에 제공되고 상기 콘트롭러는 특출동작 동안에 삼기 제2퓰럭신호와 상 기 제2플러그 신호에 응답하며 상기 데이터 버스상의 상기 데이터 신호염을 수신하는 것을 특징으로 하는 메모리 시스템

원구한 27

제26할에 있어서, 삼기 제1를럭신호는 기업클릭을 포함하고 삼기 제2블럭신호는 독충클릭을 포함하는 것 중 목장으로 하는 메모리 시스템

원그만 26

제26함에 있어서, 상기 메모리 시스템은 다수개의 메모리 모듈률을 구비하고 상기 다수개의 메모리 모듈률은 각각 독립적이고 서로 위상치가 있는 제2콜렉신호들을 발생하는 것을 특징으로 하는 메모리 시스템.

청구화 29

제28형에 있어서, 상기 다수개의 제2물럭신호들의 위상들은 상기 각 메모리 모듈과 상기 콘트롤러 사이의 진파지연의 차이로 인하여 서로 다른 것을 특징으로 하는 메모리 시스템.

성구한 30

제26항에 있어서, 상기 메모라 모듈로부터 상기 콘트룝러파지 상기 제2달력신호의 전파지면은 상기 데이터 버스의 전파지면과 거의(Substantially) 동일한 것을 특징으로 하는 메모리 시스템.

청구함 31

제26항에 있어서, 상기 메모리 모듈은, 상기 제1클릭신호와 상기 제어/어드레스 신호를 수신하고 상기 제 1클릭신호에 응답하여 상기 제2클릭신호를 발심하는 제어/어드레스 버퍼를 더 포할하는 것을 특징으로 하는 메모리 시스템.

청구암 32

제26항에 있어서, 삼기 메모리 모듈은, 삼기 제1플럭신호를 수신하고 삼기 제1플럭신호에 응답하여 삼기 제2블럭신호를 발생하는 위상평기 부포를 더 포함하는 것을 특징으로 하는 메모리 시스템.

원 그라 33

제26항에 있어서, 삼기 메모리 모듈은, 삼기 제1듈력신호를 수신하고 삼기 제1쥴럭신호에 응답하여 상기 제2듈럭신호를 발생하는 지연동기 무프를 더 포함하는 것을 특징으로 하는 메모리 시스템.

원구란 34

제26항에 있어서, 상기 메모리 모듈은, 상기 제1등력신호에 응답하여 상기 제2등력신호를 발생하기 위해 상기 제1등력신호물 수신하는 제1등력신호 라인에 연결되는 리턴 패쓰를 포함하는 것을 특징으로 하는 메 모리 시스템.

원구한 95

제34항에 있어서, 상기 메모리 모듈은 상기 메모리 모듈의 메모리장치에 의해 상기 데이터 버스상의 용량 성 부하줌 보상하기 위해 선택되는 커패시턴스를 갖는 커패시터를 더 포함하고, 상기 커패시터는 상기 제 I클럭신호 라인과 상기 리턴 패쓰의 접합점에 연결되는 것을 특징으로 하는 메모리 시스템.

목 2002-0066381

월구한 36

제26항에 있어서, 상기 메모리 시스템은 상기 제2급력신호로서 각각의 제1 및 제2리턴클랙 신호물을 발생하는 제1 및 제2메모리 모髂딸; 및

상기 제1 및 제2메모리 모듈들과 상기 콘트롤러를 연결하는 매대보드를 더 구비하고.

상기 마더보드는 상기 데이터 신호들을 전달하기 위한 데이터 배스, 상기 제어신호를 진달하기 위한 제어 배스, 상기 머드레스 신호를 전달하기 위한 머드레스 배스, 상기 제1합력신호를 전달하기 위한 제1합력신 호 라인, 및 상기 제1및 제2리턴클럭 신호플音 전달하기 위한 제1및 제2리턴플릭 신호 라인률을 포함하는 것을 특징으로 하는 메모리 시스템.

청구항 37

제36항에 있어서, 상기 제1 및 제2리턴급력 신호 리인급은 상기 제1모듈과 상기 제2모듈 사이의 상기 마더보도 상에서 교차되는 것을 특징으로 하는 메모리 시스템.

원구화 38

제36항에 있어서, 상기 제1리턴클릭 신호 라민은 상기 제2해모리 모듈상의 더미부하에 연결되고 상기 제2 리턴클릭 신호 라민은 상기 제1메모리 모듈상의 더미부하에 연결되는 것을 특징으로 하는 메모리 시스템.

청구당 39

제38할에 있어서, 상기 데미부하는 부하 커피시터 또는 데미 편을 포함하는 것을 특징으로 하는 메모리 시스템.

참구한 40

제38항에 있어서, 상기 데미부하는 상기 데이터 버스의 용량성 부하를 매치시키기 위해 선택되는 것을 목 장으로 하는 메모리 시스템.

청구화 41

제25할에 있어서, 상기 메모리 시스템은 각각의 제1 및 제2프래그 신호률을 발생하는 제1 및 제2메모리 모듈률; 및

상기 제1 및 제2메모리 모듈들과 삼기 콘트홈러플 연결하는 미터보드를 더 구비하고,

상기 마더보드는 상기 데이터 신호들을 전달하기 위한 데이터 버스, 상기 제머신호를 전달하기 위한 제머 버스, 상기 머드레스 신호함 전달하기 위한 머드레스 버스, 상기 제(프래그 신호왕 전달하기 위한 제)프 레그 신호 라인, 및 상기 제1 및 제2리턴 프래그 신호흡읍 전달하기 위한 제1 및 제2리턴 프래그 신호 라 인물을 포함하고,

상기 제1프래그 신호 라인과 상기 제1 및 제2리턴 프래그 신호 라인물은 상기 제어버스와 상기 어드레스 버스와 함께 라우트되는 것을 특징으로 하는 메모리 시스템.

청구함 42

제41항에 있어서, 상기 제1 및 제2리턴 프래그 신호 라인들은 상기 제1모듈과 상기 제2모듈 사이의 상기 마더보드 상에서 교치되는 것을 목장으로 하는 메모리 시스템.

원구한 49

제4(할에 있어서, 상기 제1리턴 프래그 신호 라인은 상기 제2메모리 모듈상의 더미부하에 연결되고 상기 제2리턴 프래그 신호 라인은 상기 제1메모리 모듈상의 더미부하에 연결되는 것을 복칭으로 하는 메모리 시스템:

청구항 44

제43할에 있어서, 상기 더미부하는 부하 커페시터 또는 더미 편을 포함하는 것을 특징으로 하는 메모리 시스템,

청구함 뜻

제44항에 있어서, 상기 데미부하는 상기 데이터 버스와 용량성 부하를 매치시키기 위해 선택되는 것을 특징으로 하는 메모리 시스템.

经一种 46

제卷함에 있어서, 상기 에모리 시스템은 상기 에모리 모듈의 제1면에 탑재되는 제어버퍼; 및

상기 메모리 모듈의 제1면 및 제2면에 탑재되는 메모리장치물의 제2신호라인에 의해 접하는 부하와의 메 청읍 제공하기 위해 상기 제어버퍼의 제1신호라인에 연결하는 더미부하쁩 더 구비하는 것을 특징으로 하 는 메모리 시스템.

월구한 47

제46할에 있어서, 상기 더미부하는 부하 커페시터 또는 더미 핀을 포함하는 것을 특징으로 하는 메모리 시스템.

복 2002-0066381

청구한 48

제46할에 있어서, 상기 제1신호라인은 상기 제1프래그 신호 또는 상기 제2프래그 신호를 포함하고, 상기 제2신호라인은 상기 데미터 버스를 포함하는 것을 특징으로 하는 메모리 시스템.

청구와 49

제25항에 있어서, 상기 메모리 모듈은, 상기 제1프래그 산호와 상기 제어산호를 수신하고 상기 제1프래그 신호에 용답하여 상기 제2프래그 신호를 발생하는 제어버퍼졌 더 포함하는 것을 퇴장으로 하는 메모리 시 스템.

청구항 50

제25할에 있어서, 상기 메모리 모듈은, 상기 제1프래그 신호를 수신하고 상기 제1프래그 신호에 용답하여 상기 제2프래그 신호를 발생하는 위상동기 투표를 더 포함하는 것을 목징으로 하는 메모리 시스템.

월구만 51

제25항에 있어서, 상기 메모리 모듈은, 상기 제1프라그 신호를 수신하고 상기 제1프라그 신호에 용답하며 상기 제2프라그 신호를 발생하는 지연동기 루프를 더 포함하는 것을 특징으로 하는 메모리 시스템.

창구화 52

제25항에 있어서, 상기 메모리 모듈은, 상기 제1프래그 신호에 용답하여 상기 제2프래그 신호를 발생하기 위해 상기 제1프래그 신호를 수신하는 제1프래그 신호 라인에 연결되는 리턴 패쓰를 포함하는 것들 특징 으로 하는 메모리 시스템,

청구한 53

제5호함에 있어서, 상기 메모리 모듈은 상기 매모리 모듈의 메모리장치에 의해 상기 데이터 버스상의 용량 성 부하를 보상하기 위해 선택되는 커페시턴스를 갖는 커패시터를 더 포함하고, 상기 커페시터는 상기 채 1프래그 선호 라인과 상기 리턴 패쓰의 접합점에 연결되는 것을 특징으로 하는 메모리 시스템.

친구와 54

스터브 구조로 배열되는 제1클럭신호 라인, 제마 버스, 어드레스 버스, 및 데이터 버스 상으로 제1클럭신호, 제머신호, 머드레스 신호, 및 데이터 신호물을 발생하는 콘트롭러;

제2클릭신호를 발생하는 제2클릭신호 발생기; 및

상기 콘트롭러에 연결되는 메모리장치물을 포함하고 상기 제1급력신호, 상기 제2괄력신호, 및 독충 또는 기입명령층 포함하는 상기 제머신호를 수신하는 메모리 모듈을 구비하며,

상기 제1출력신호는 제1전파 방향으로 상기 콘트롤러로부터 상기 메모리 모듈로 전파하고 상기 제2출력신 호는 제2전파 방향으로 상기 메모리 모듈로부터 상기 콘트롤러로 전파하고,

상기 메모리 모듈은 상기 기입명령에 용답하여 상기 제1클럭신호에 동기하여 상기 데이터 신호들을 상기 데이터 버스로부터 상기 메모리장치물로 기입하는 기업통작을 개시하고,

상기 메모리 모듈은 상기 독충당령에 용답하여 상기 제2흡력신호에 응답하여 상기 데이터 신호흡을 상기 메모리장치들로부터 상기 데이터 버스로 독충하는 독충동작합 개시하고, 상기 콘트롤러는 상기 독충동작 동안 상기 제2클럭 신호에 응답하여 상기 데이터 버스상의 상기 데이터 신호흡흡 수산하는 것을 목장으로 하는 스터브 구조를 갖는 메모리 시스템.

청구방 또

제54할에 있다서, 상기 제1클릭신호는 기업음력을 포함하고 상기 제2클릭신호는 독흡급력을 포함하는 것을 특징으로 하는 메모리 시스템.

성구하 돼

제55항에 있어서, 상가 메모리 콘트윌러는 상가 수신된 제2월력신호와 상기 데이터 버스상의 상기 데이터 신호를 사이의 위상차를 보상하는 것을 특징으로 하는 메모리 시스템.

청구함 57

스터브 구조로 배열되는 제1클럭신호 라인, 제어 버스, 어드래스 버스, 및 데이터 버스 상으로 제1출럭신호, 제어신호, 어드레스 신호, 및 데이터 신호들을 발생하는 콘트콤러; 및

제1면 및 제2면상에 메모리장치율이 탑재되고 상기 제1면상에 제어 및 어드레스 버퍼가 탑재되며 상기 제 1클릭신호, 삼가 어드레스 신호, 및 독當 또는 기업명령을 포함하는 상기 제어신호을 수신하는 메모리 모 용을 구비하며,

상기 메모리 모듈은 상기 기업명령에 응답하여 상기 제1클럭신호에 동기하여 상기 데이터 신호흡출 상기 데이터 버스로부터 상기 메모리장치들로 기입하는 기업등작출 개시하고,

상기 메모리 모듈은 상기 특출명령에 용답하여 상기 제1클릭신호에 동기하여 상기 데이터 신호등을 상기 메모리장치클로부터 상기 데이터 버스로 특출하는 독출동작을 삼기 제여 및 머드레스 버피에서 개시하고 또한 상기 제1클릭신호에 응답하여 제2클릭신호를 발생하며, 상기 제2클릭신호는 상기 콘트릴러에 제공되 고 삼기 콘트롤러는 삼기 독출동작 동안 상기 제2클릭 신호에 응답하여 상기 데이터 버스상의 상기 데이

粤2002-0966381

터 신호를 수신하는 것을 복잡으로 하는 스터브 구조흡 갖는 메모리 시스템.

청구한 58

스터브 구조로 배열되는 제1프래그 신호 라인, 제어 버스, 어드레스 버스, 및 데이터 버스 상으로 제1프래그 신호, 제어신호, 어드레스 신호, 및 데이터 신호율을 발생하는 콘트롭러;

상기 콘트롭러에 연결되는 메모리장치증을 포함하고 상기 제1프래그 신호 및 독管 또는 기업명령을 포함하는 삼기 제머신호를 수신하는 메모리 모흡; 및

상기 메모리 모듈과 상기 콘트플러를 연결하는 마더보드를 구비하며,

상기 메모리 모듈은 상기 기입명령에 용답하여 상기 제1프래그 신호에 응답하며 상기 데이터 신호증을 상 기 데이터 버스로부터 상기 메모리장치플로 기압하는 기입동작을 개시하고,

상기 메모리 모듈은 상기 독출명령에 용답하여 상기 제1프래그 신호에 용답하여 상기 데이터 신호출출 상 기 메모리장치글로부터 상기 데이터 버스로 독출하는 독출동작을 개시하고 또한 상기 제1프래그 신호에 응답하여 제2프래그 신호를 발생하며, 상기 제2프래그 신호는 상기 콘트롤러에 제공되고 상기 콘트롤러는 상기 독출동작 동안 상기 제2프래그 신호에 용답하여 상기 데이터 버스상의 상기 데이터 신호물을 수신하고,

상기 마더보드는 상기 데이터 신호름을 전달하기 위한 상기 데이터 버스, 상기 제어신호를 전달하기 위한 상기 제어버스, 상기 어드래스 신호를 전달하기 위한 상기 어드레스 버스, 상기 제1프레그 신호를 전달하 기 위한 상기 제1프래그 신호 라인, 및 상기 제2프래그 신호를 전달하기 위한 제2프래그 신호 라인홈 포 할하며 상기 제1프래그 신호 라인과 상기 제2프래그 신호 라인은 상기 제어 및 어드레스 버스롭과 함께 라우트되는 것을 특징으로 하는 메모리 시스템.

월구한 돼

제56항에 있어서, 상기 메모리 모듈은 제1 및 제2메모리 모듈들을 포함하고 상기 제1 및 제2메모리 모듈 들은 상기 제2프래그 신호로서 각각 독립적인 제1 및 제2리턴 프래그 신호름을 발생하고 상기 제1 및 제2 프래그 신호물은 상기 제어 및 어드레스 버스물과 함께 상기 제2프래그 신호 라인상으로 라우트되는 것을 특징으로 하는 메모리 시스템.

원고하 M

스터브 구조를 갖는 메모리 시스템에서 데이터를 전달하는 방법에 있어서,

스터브 구조로 배열되는 제1음력신호 라인, 제어 버스, 어드레스 버스, 및 데이터 버스 상으로 제1음력신호, 제어신호, 어드레스 신호, 및 데이터 신호들을 본토롭러에서 밥생하는 단계; 및

상기 콘트롭러에 연결되는 에모리장치즘을 포함하는 메모리 모듈에서 상기 제1뿔택신호와 독출 또는 기업 명령을 포함하는 상기 제대신호를 수신하는 단계를 구배하고,

상기 메모리 모듈은 상기 기입명령에 용답하여 상기 제1클릭신호에 통기하여 상기 데이터 신호물을 상기 데이터 버스로부터 상기 메모리장치들로 기압하는 기입동작을 개시하고,

상기 메모리 모듈은 상기 독출명령에 응답하며 상기 제1률력신호에 동기하여 상기 데이터 신호증을 상기 메모리장치물로부터 상기 데이터 버스로 득출하는 독출동작을 개시하고 또한 상기 제1물력신호에 용답하 며 제2클릭신호를 발생하며, 상기 제2립력신호는 상기 콘트룅리에 제공되고 상기 콘트롱러는 상기 독출동 작 동안 상기 제2클릭 신호에 응답하여 상기 데이터 버스상의 상기 데이터 신호들을 수신하는 것을 특징 으로 하는 데이터 전달 방법.

청구함 6

제60항에 있어서, 상기 메모리 모듈은 다수개의 메모리 모듈들을 포함하고 상기 다수개의 메모리 모듈들은 각각 독립적이고 서로 위상차가 있는 제2물럭산호듈을 발생하는 것을 특징으로 하는 데이터 전달방법.

청구방 62

제60항에 있어서, 상기 데이터 전달 방법은 상기 콘트롤러에서 제1프래그 신호를 발생하는 단계를 더 구 비하고,

상기 메모리 모듈은 상기 제1프래그 신호에 용답하여 상기 기업등작 또는 독충용작의 개시시기를 제대하고 독충동작이 명령되면 상기 제1프래그 신호에 용답하여 제2프래그 신호를 발생하며,

상기 제2프래그 신호는 상기 콘트롤러에 제공되고 상기 콘트롤러는 특출통작 동안에 상기 제2플러신호와 상기 제2프래그 산호에 용답하여 상기 데이터 버스상의 상기 데이터 산호물을 수산하는 것을 특징으로 하는 데이터 전달 방법

원구**한 63**

스터브 구조물 갖는 메모리 시스템에서 데이터를 전달하는 방법에 있어서,

스터브 구조로 배열되는 제1프래그 신호 라인, 제어 버스, 어드레스 버스, 및 데이터 버스 상으로 제1프 래그 신호, 제어신호, 어드레스 신호, 및 데이터 신호들을 콘트롤러에서 발생하는 단계; 및

상기 콘트립러에 연결되는 메모리장치율을 포함하는 메모리 모듈에서 상기 제1프래그 신호와 독管 또는 기업명령을 포함하는 상기 제대신호를 수신하는 단계를 구비하고,

22-12

상기 메모리 모듈은 상기 기업명령에 응답하여 상기 제 프래그 신호에 용답하여 상기 데이터 신호흡을 상 기 데이터 버스로부터 상기 메모리장치들로 기입하는 기업통작을 개시하고,

상기 메모리 모듈은 상기 독흡명령에 용답하여 상기 제1프래그 선호에 응답하여 상기 데이터 신호증출 상 기 메모리장치물로부터 상기 데이터 버스로 독흡하는 목흡등작읍 개시하고 또한 상기 제1프래그 신호에 응답하여 제2프래그 신호를 발생하며, 상기 제2프래그 신호는 상기 콘트롭러에 제공되고 상기 콘트롭러는 상기 독출등작 동안 상기 제2프래그 신호에 응답하여 상기 데이터 버스상의 상기 데이터 신호흡을 수신하 는 것을 목장으로 하는 데이터 전달 방법.

참구計 64

제63항에 있어서, 상기 데이터 전달 방법은 상기 콘트롤러에서 제1플릭신호를 발생하는 단계를 더 구비하고.

상기 메모리 모듈은 상기 제1혈력신호에 흥답하며 상기 기업동작 또는 특출동작을 개시하고 독출동작이 명령되면 상기 제1혈력신호에 응답하며 제2혈력신호를 발생하며,

상기 제2품택신호는 상기 콘트립러에 제공되고 상기 콘트롤러는 독출동작 동안에 상기 제2품택신호와 상 기 제2프래그 신호에 응답하여 상기 데이터 버스상의 상기 데이터 신호들을 수신하는 것을 특징으로 하는 데이터 전달 방법.

왕구화 65

스터브 구조를 갖는 메모리 시스템에서 데이터를 전달하는 방법에 있어서,

스터브 구조로 배열되는 제1출력신호 라인, 제어 버스, 어드레스 버스, 및 테이터 버스 상으로 제1철력신호, 제어신호, 어드레스 신호, 및 데이터 신호들을 콘트롤러에서 발생하는 단계;

제2클럭신호 발생기에서 제2클럭신호를 발생하는 단계;

상기 콘트롭러에 연결되는 메모리장치읍읍 포함하는 메모리 모듈에서 상기 제1큡럭신호, 상기 제2큡럭신호, 및 독출 또는 기입명령을 포함하는 상기 제어신호를 수신하는 단계; 및

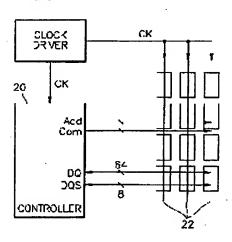
제1전파 방향으로 상기 콘트롭러로부터 상기 메모리 모듈로 상기 제1番렉신호출 전송하고 제2전파 방향으로 상기 메모리 모듈로부터 상기 콘트롤러로 상기 제2출텍신호를 전송하는 단계를 구비하고,

상기 메모리 모듈은 상기 기입명령에 응답하여 상기 제1클릭신호에 동기하여 상기 데이터 신호물을 삼기 데이터 버스로부터 상기 메모리장치를로 기입하는 기입동작을 개시하고,

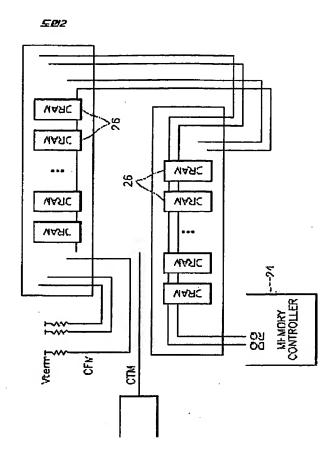
상기 메모리 모듈은 상기 독출명령에 용답하며 상기 제2클릭신호에 용답하여 상기 데이터 신호물을 상기 메모리장치를로부터 상기 데이터 버스로 독출하는 독출동작을 개시하고, 상기 콘트롭러는 상기 독출동작 등안 상기 제2클릭 신호에 용답하여 상기 데이터 버스상의 상기 데이터 신호물을 수신하는 것을 목징으로 하는 데이터 전달 방법

도图

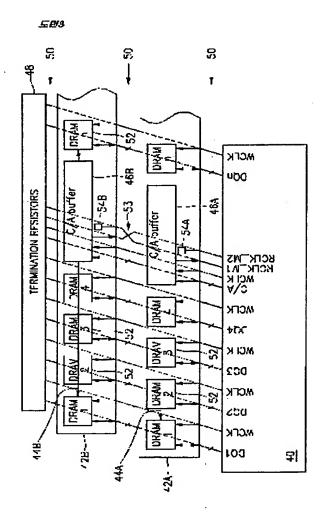
<u> 年四1</u>



₹2002-0066381

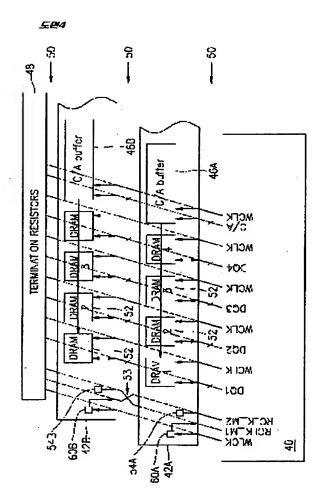


畢 2002-0066381



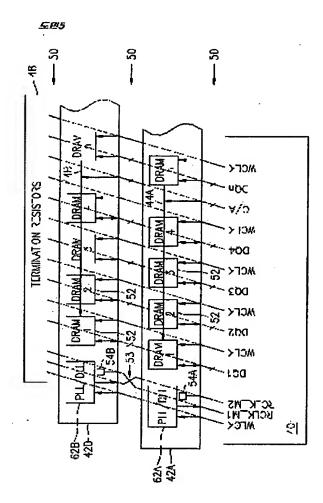
22-15

특2002-0066381

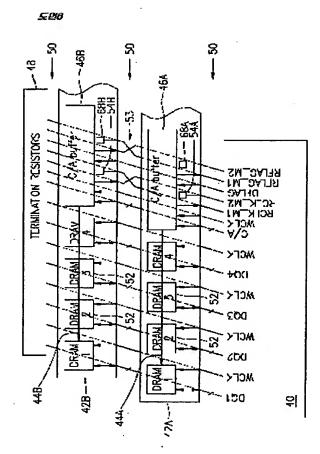


22-16

= 2002-0066381

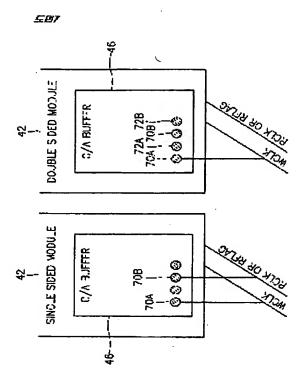


氧2002-0066381

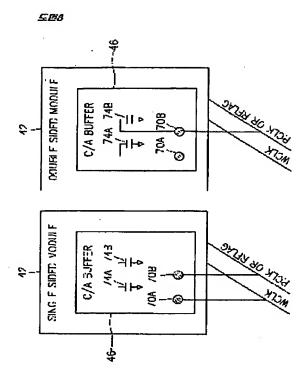


22-1B

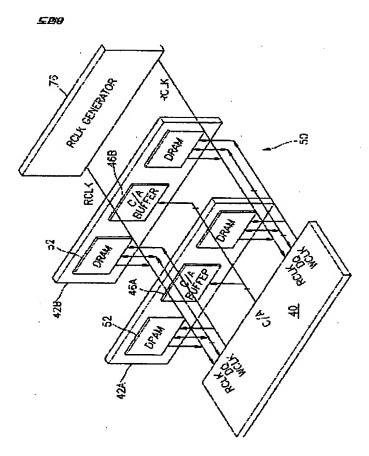
每2002-0066381



每2002-0066381



氧2002-0066381



号 2002-0066381

